

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214634

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

H01L 27/06
H01L 21/28
H01L 27/04
H01L 21/822
H01L 29/78

(21)Application number : 10-291875

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 14.10.1998

(72)Inventor : KIM YONG-KWAN
AHN JAE GYUNG
LEE MYOUNG GOO

(30)Priority

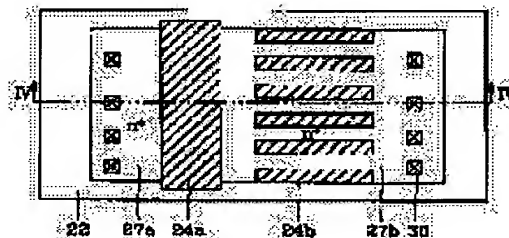
Priority number : 98 9800737 Priority date : 13.01.1998 Priority country : KR

(54) ESD PROTECTION CIRCUIT AND ITS FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a process, to provide high operation voltage and to improve reliability by setting the arranging interval of dummy gate electrodes to be an interval covering the gate electrode of a second heavily doped region and metal wirings with the dummy gate electrodes and an insulated object side wall formed on the side of the electrodes.

SOLUTION: Metal wirings which are electrically connected to first and second heavily doped regions 27a and 27b are formed in contact holes 30. The sizes and the intervals of dummy gate electrodes 24b are set to a degree that they cover the second heavily doped region 27b and the surface is not exposed when an insulated object side walls are formed on the side of the electrodes. The dummy gate electrodes 24b are formed on the second heavily doped region 27b with the gate electrode 24a, the side wall is formed on the side and the second heavily doped region 27b is covered with them. Thus, silicide is not formed on the area and a mask is not necessary to be uses in a silicide process even if a silicide material is loaded on the region and it is heat-treated.



LEGAL STATUS

[Date of request for examination] 14.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2992885

[Date of registration] 22.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214634

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 27/06

H 0 1 L 27/06

3 1 1 C

21/28

3 0 1

21/28

3 0 1 S

27/04

27/04

H

21/822

29/78

3 0 1 K

29/78

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願平10-291875

(22) 出願日

平成10年(1998)10月14日

(31) 優先権主張番号

7 3 7 / 1 9 9 8

(32) 優先日

1998年1月13日

(33) 優先権主張国

韓国 (K R)

(71) 出願人 591044131

エルジイ・セミコン・カンパニー・リミテッド

大韓民国 チュングチェオンブグード チェオンジューシ・ヒュンダーク・ヒャンギェオンードン・1

(72) 発明者 ヨン・ゴァン・キム

大韓民国・チュンチョンブグード・チョンズーシ・サンダンーク・サチョンードン・(番地なし)・シンドンア アパートメント 6-605

(74) 代理人 弁理士 山川 政樹

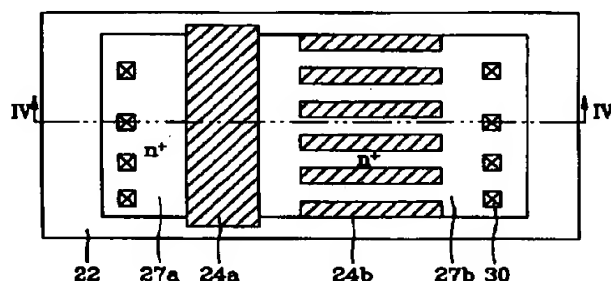
最終頁に続く

(54) 【発明の名称】 E S D 保護回路及びその形成方法

(57) 【要約】

【課題】 基板に E S D 保護回路を形成させる際にサリサイド形成防止用のマスクを使用しないようにする。

【解決手段】 ゲート電極を形成させる際に、同時にドレインとなる第2高濃度領域にダミーゲート電極を形成させ、そのダミーゲート電極とその側面に形成される側壁とで第2高濃度領域を覆い、その後のサリサイド工程時にドレイン領域にシリサイド層が形成されないようにした。



【特許請求の範囲】

【請求項 1】 素子隔離膜で区画されたアクティブ領域の所定の位置にゲート電極を形成させ、その両側に第 1 及び第 2 高濃度領域を形成させ、その第 2 高濃度領域を第 1 高濃度領域より広くし、第 1、第 2 高濃度領域のゲート電極から離れた位置で金属配線と連結させた静電放電保護回路において、第 2 高濃度領域のゲート電極と金属配線との間にゲート電極とともに形成されるダミーゲート電極を配置すると共にその側面にゲート電極の側面に形成させる絶縁物側壁と同じ絶縁物側壁を形成させ、そのダミーゲート電極の配置間隔をダミーゲート電極とその側面に形成させた絶縁物側壁とによって第 2 高濃度領域のゲート電極と金属配線との間を覆う間隔であることを特徴とする静電放電保護回路。

【請求項 2】 ダミーゲート電極をゲート電極の形成方向と平行な方向に多数配置した請求項 1 記載の静電放電保護回路。

【請求項 3】 ダミーゲート電極をゲート電極の形成方向と直角方向に多数配置した請求項 1 記載の静電放電保護回路。

【請求項 4】 ダミーゲート電極を矩形状として、それを縦横に多数配置した請求項 1 記載の静電放電保護回路。

【請求項 5】 半導体基板のフィールド領域に素子隔離膜を形成するステップと、半導体基板の全面にゲート絶縁膜及び導電層を形成するステップと、導電層及びゲート絶縁膜を選択的に除去してゲート電極を形成すると同時に、ゲート電極と一定の間隔を保ってゲート電極の一方の側に複数のダミーゲート電極を形成するステップと、ゲート電極とダミーゲート電極の側面に絶縁膜側壁を形成するステップと、ゲート電極の両側に第 1、第 2 高濃度不純物領域を形成するステップと、前記第 1 高濃度不純物領域、ゲート電極、及びダミーゲート電極の表面にシリサイド膜を形成するステップと、

第 1、第 2 高濃度不純物領域に電気的に連結される金属配線を少なくとも第 2 高濃度不純物領域ではゲート電極から離れた箇所に形成するステップと、を備え、ダミーゲート電極はそれ自身とその絶縁膜側壁とで第 2 高濃度不純物領域の表面を覆うことができる間隔で配置されることを特徴とする静電放電保護回路の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子及びその形成方法に関し、特に工程を簡素化させるに適した静電放電（ESD：Electro Static Discharge）保護回路及びその形成方法に関する。

【0002】

【従来の技術】 一般に、現在使用中のほとんどの半導体製品は回路動作の速度を早くするためサリサイド構成としている。しかし、ESD 保護回路には保護用の抵抗を形成させなければならず、その抵抗は適正な抵抗値を保持していなければならないため、サリサイド構成とするとき抵抗を形成させた箇所にはシリサイドが形成されないように、ESD 保護回路の部分に保護マスクを設けなければならない。

【0003】 以下、添付図面を参照して従来の ESD 保護回路とその形成方法を説明する。図 1 は従来の ESD 保護回路を示すレイアウト図であり、図 2 は図 1 の II-II 線上の構造断面図である。図 1 及び図 2 に示すように、アクティブ領域とフィールド領域が区画された半導体基板 11 のフィールド領域にトレンチ構造の素子隔離膜 12 が形成され、アクティブ領域にゲート絶縁膜 13 を介してゲート電極 14a が形成される。ゲート電極 14a の両側面には絶縁膜側壁 16 が形成され、半導体基板 11 の表面のゲート電極 14a の両側に第 1、第 2 高濃度 n 型不純物領域 17a、17b が形成される。その基板表面に平坦化層 18 を形成させ、その平坦化層 18 の第 1、第 2 高濃度 n 型不純物領域 17a、17b の箇所にそれらが露出されるようにコンタクトホール 19 を形成させている。コンタクトホール 19 を介して半導体基板 11 の第 1、第 2 高濃度 n 型不純物領域 17a、17b に電気的に連結される金属配線 20 が形成される。この ESD 保護回路では第 2 高濃度不純物領域 17b を広くし、すなわちゲート電極 14a から離れた箇所にまで広がるように形成させ、その周辺部、すなわちゲート電極から離れた位置に金属配線 20 を形成させている。この間を抵抗領域とするためである。ここで、符号 10 は、サリサイド工程中に ESD 保護回路にシリサイド膜が形成されないように ESD 保護回路領域をマスクングしているサリサイドプロテクションマスクである。

【0004】 図 3a～図 3f は図 1 の II-II 線上の従来の ESD 保護回路の形成方法を示す工程断面図である。図 3a に示すように、アクティブ領域とフィールド領域とが区画された半導体基板 11 のフィールド領域に所定の深さにトレンチを形成し、半導体基板 11 の全面に絶縁膜を形成した後、それをトレンチの内部にのみ残るようにエッチバック工程か又は CMP 工程でトレンチ構造の素子隔離膜 12 を形成する。図 3b に示すように、素子隔離膜 12 を形成させた半導体基板 11 の全面にゲート絶縁膜 13、ゲート電極用ポリシリコン層 14 を形成する。次いで、ポリシリコン層 14 上にフォトリソ resist 15 を塗布した後、露光及び現像工程でゲート領域にのみ残るようにフォトリソ resist 15 をパターニングする。

【0005】 図 3c に示すように、パターニングされたフォトリソ resist 15 をマスクに用いてポリシリコン層 14 及びゲート絶縁膜 13 を選択的に除去してゲート電極 14a を形成する。図 3d に示すように、ゲート電極 1

4 aを含む半導体基板 1 1 の全面に絶縁膜を形成した後、エッチバック工程でゲート電極 1 4 a の両側面に絶縁膜側壁 1 6 を形成する。次いで、ゲート電極 1 4 a 及び絶縁膜側壁 1 6 をマスクに用いて半導体基板 1 1 の全面に高濃度 n 型不純物イオンを注入してゲート電極 1 4 a の両側に第 1、第 2 高濃度 n 型不純物領域 1 7 a、1 7 b を形成する。ここで、図 1 に示すように ESD 保護回路にのみシリサイド膜が形成されないようにシリサイドプロテクションマスク 1 0 を形成し、シリサイド用金属を蒸着して熱処理工程でシリサイド膜を形成し、その後マスク 1 0 を除去し、洗浄工程を行う。

【0006】図 4 e に示すように、半導体基板 1 1 の全面に BPSG 又は SOG 等の平坦化層 1 8 を形成し、フォトリソグラフィ及びエッチング工程で第 1、第 2 高濃度 n 型不純物領域 1 7 a、1 7 b の表面が露出するように平坦化層 1 8 を選択的に除去してコンタクトホール 1 9 を形成する。図 4 f に示すように、コンタクトホール 1 9 を含む半導体基板 1 1 の全面に金属層を蒸着し選択的にパターニングして、コンタクトホール 1 9 を介して第 1、第 2 高濃度 n 型不純物領域 1 7 a、1 7 b の表面に電気的に連結される金属配線 2 0 を形成する。

【0007】

【発明が解決しようとする課題】しかし、上記したような従来の ESD 保護回路及びその形成方法では次のような問題点があった。第 1 に、ESD 保護回路として動作する領域にシリサイドプロテクションマスクを形成しなければならないので、工程ステップが増加し、生産コストが増加する。第 2 に、シリサイドプロテクションマスク除去工程及び洗浄工程等によるトレンチ物質のオーバーエッチングによって接合漏洩電流が増加し、電気的な特性が劣化する。本発明は上記の問題点を解決するためになされたものであり、その目的とするところは、工程を単純化し、高い動作電圧を有し、信頼性を向上させるようにした ESD 保護回路及びその形成方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するための本発明の ESD 保護回路は、素子隔離膜で区画されたアクティブ領域の所定の位置にゲート電極を形成させ、その両側に第 1 及び第 2 高濃度領域を形成させ、その第 2 高濃度領域を第 1 高濃度領域より広くし、第 1、第 2 高濃度領域のゲート電極から離れた位置で金属配線と連結させた静電放電保護回路において、第 2 高濃度領域のゲート電極と金属配線との間にゲート電極とともに形成されるダミーゲート電極を配置すると共にその側面にゲート電極の側面に形成させる絶縁物側壁と同じ絶縁物側壁を形成させ、そのダミーゲート電極の配置間隔をダミーゲート電極とその側面に形成させた絶縁物側壁とによって第 2 高濃度領域のゲート電極と金属配線との間を覆う間隔であることを特徴とする。

【0009】又、上記目的を達成するための本発明の ESD 保護回路の形成方法は、半導体基板のフィールド領域に素子隔離膜を形成するステップと、半導体基板の全面にゲート絶縁膜及び導電層を形成するステップと、導電層及びゲート絶縁膜を選択的に除去してゲート電極を形成すると同時に、ゲート電極と一定の間隔を保ってゲート電極の一方の側に複数のダミーゲート電極を形成するステップと、ゲート電極とダミーゲート電極の側面に絶縁膜側壁を形成するステップと、ゲート電極の両側に第 1、第 2 高濃度不純物領域を形成するステップと、第 1 高濃度不純物領域、ゲート電極、及びダミーゲート電極の表面にシリサイド膜を形成するステップと、第 1、第 2 高濃度不純物領域に電気的に連結される金属配線を少なくとも第 2 高濃度不純物領域ではゲート電極から離れた箇所に形成するステップとを備え、前記ダミーゲート電極はそれ自身とその絶縁膜側壁とで第 2 高濃度不純物領域の表面を覆うことができる間隔で配置されることを特徴とする。

【0010】

【発明の実施の形態】以下、添付図面を参照して本発明実施形態の ESD 保護回路及びその形成方法を詳細に説明する。図 5 は本発明の第 1 実施形態の ESD 保護回路を示すレイアウト図であり、図 6 は図 5 の IV-IV 線上の ESD 保護回路を示す構造断面図である。図 5 及び図 6 に示すように、半導体基板 2 1 のフィールド領域にトレンチ構造の素子隔離膜 2 2 が形成され、アクティブ領域にゲート絶縁膜 2 3 を介してゲート電極 2 4 a が形成されている。半導体基板 2 1 のゲート電極 2 4 a の両側に第 1、第 2 高濃度 n 型不純物領域 2 7 a、2 7 b が形成され、第 2 高濃度 n 型不純物領域 2 7 b 上にダミーゲート電極 2 4 b が形成されている。第 2 高濃度不純物領域 2 7 b が広くされるのは従来同様である。ゲート電極 2 4 a は図面上上下方向に配置され、ダミーゲート電極 2 4 b はそのゲート電極に直交する方向に並べられている。ダミーゲート電極は図示のように幅の狭いものが互いに平行に一定の間隔で多数並べられている。ゲート電極 2 4 a 及びダミーゲート電極 2 4 b の両側面には絶縁膜側壁 2 6 が形成される。第 1 高濃度不純物領域 2 7 a、ゲート電極 2 4 a、及びダミーゲート電極 2 4 b の表面にシリサイド膜 2 8 が形成される。これらが形成された基板の表面に平坦化層 2 9 が形成され、その平坦化層 2 9 の第 1、第 2 高濃度 n 型不純物領域 2 7 a、2 7 b の箇所に多数のコンタクトホール 3 0 が形成されている。このコンタクトホール 3 0 は第 2 不純物領域では従来同様ゲート電極から最も離れた位置に形成されている。このコンタクトホール 3 0 には、第 1、第 2 高濃度不純物領域 2 7 a、2 7 b と電気的に連結される金属配線 3 1 が形成される。ダミーゲート電極 2 4 b の大きさ並びに間隔は、その側面に絶縁物側壁 2 6 を形成させたときに、第 2 高濃度不純物領域 2 7 b を覆いその表面が

5

露出されない程度に設定する。もちろん、性能に影響しない程度、特に付着したシリサイド物質を洗浄したときにそれらが除去される程度であれば隙間があいても差し支えない。第2高濃度不純物領域27bのダミーゲート電極24bの形成されない表面の一部にもシリサイド膜28が形成される。第1高濃度n型不純物領域27aはソース領域であり、第2高濃度n型不純物領域27bはドレイン領域である。

【0011】図7は本発明の第2実施形態のESD保護回路を示すレイアウト図であり、図8は図7のV-V線
10 上のESD保護回路を示す構造断面図である。図7及び図8に示すように半導体基板21のフィールド領域にトレンチ構造の素子隔離膜22が形成され、アクティブ領域にゲート絶縁膜23を介してゲート電極24aが形成されている。半導体基板21のゲート電極24aの両側に第1、第2高濃度n型不純物領域27a、27bが形成され、第2高濃度n型不純物領域27b上にダミーゲート電極24bが形成されている。ゲート電極24aは図面上上下方向に配置され、ダミーゲート電極24bは幅の狭いものがそのゲート電極に平行に多数並べられて
20 いる。ゲート電極24aとダミーゲート電極24bの両側面に絶縁膜側壁26が形成され、第1高濃度n型不純物領域27a、ゲート電極24a、及びダミーゲート電極24bの表面にシリサイド膜28が形成され、第1、第2高濃度n型不純物領域27a、27bの表面の一定の部分が露出されるようにコンタクトホール30を形成させた平坦化層29が形成される。コンタクトホール30には第1、第2高濃度n型不純物領域27a、27bと電気的に連結される金属配線31が形成されている。第2高濃度n型不純物領域27bのダミーゲート電極24bが形成されない表面の一部にもシリサイド膜28が形成されている。第1高濃度n型不純物領域27aはソース領域であり、第2高濃度n型不純物領域27bはドレイン領域である。第2高濃度n型不純物領域27bは、ESD特性のために他領域よりも大きく形成される。要するにこの第2実施形態は第1実施形態と比べてダミーゲート電極の形成方向を90°変えただけである。その間隔、大きさは前述の通りである。

【0012】図9は本発明の第3実施形態のESD保護回路を示すレイアウト図であり、図10は図9のVI-V
40 線上のESD保護回路を示す構造断面図である。図9及び図10に示すように、半導体基板21のフィールド領域にトレンチ構造の素子隔離膜22が形成され、アクティブ領域にゲート絶縁膜23を介してゲート電極24aが形成されている。半導体基板21のゲート電極24aの両側に第1、第2高濃度n型不純物領域27a、27bが形成されている。第2高濃度n型不純物領域27b上にダミーゲート電極24bが形成されるが、この実施形態のダミーゲート電極は小さいほぼ正方形の形状とされ、それが縦横一定間隔でゲート電極24aに並ぶよう
50

6

に配置されている。すなわち、ダミー電極24bは第2高濃度n型領域27bの上にマトリックス状に配置されている。ゲート電極24a及びダミーゲート電極24bの両側面に絶縁膜側壁26が形成され、第1高濃度n型不純物領域27a、ゲート電極24a、及びダミーゲート電極24bの表面にシリサイド膜28が形成され、第1、第2高濃度n型不純物領域27a、27bの表面の一定の部分が露出されるコンタクトホール30を備えた平坦化層29が形成されている。そのコンタクトホール30には第1、第2高濃度n型不純物領域27a、27bに電気的に連結される金属配線31が形成される。第2高濃度n型不純物領域27bのダミーゲート電極24bの形成されない表面の一部にもシリサイド膜28が形成される。第1高濃度n型不純物領域27aはソース領域であり、第2高濃度n型不純物領域27bはドレイン領域である。第2高濃度n型不純物領域27bは、ESD特性のために他領域よりも大きく形成される。

【0013】図11、図12は図7のV-V線上のESD保護回路の形成方法を示す工程断面図である。図11aに示すように、半導体基板21のフィールド領域にトレンチを形成してその表面に絶縁膜を形成した後、エッチバック工程を行うことにより、トレンチの内部にトレンチ構造の素子隔離膜22を形成する。図11bに示すように、素子隔離膜22を形成させた半導体基板21の全面にゲート絶縁膜23、ゲート電極用導電層24を形成する。この導電層24はポリシリコン層で形成する。導電層24上にフォトレジスト25を塗布した後、露光及び現像工程でフォトレジスト25をパターニングして、ゲート電極用に幅の広い帯状のものと、それから一定の間隔でダミーゲート電極用の幅の狭い帯状のものが平行に配置されるように形成する。このダミーゲート電極用のパターンを変えることによって前記したそれぞれの実施形態の構造を得ることができるのは理解できるであろう。

【0014】図11cに示すように、パターニングされたフォトレジスト25をマスクに用いて導電層24及びゲート絶縁膜23を選択的に除去してゲート電極24aを形成し、同時にダミーゲート電極24bを形成する。

【0015】フォトレジスト25を除去し、図11dに示すように、ゲート電極24aとダミーゲート電極24bを形成させた半導体基板21の全面に絶縁膜を形成した後、エッチバック工程を施してゲート電極24a及びダミーゲート電極24bの両側面に絶縁膜側壁26を形成する。この側壁26が形成されることによって後述の第2高濃度不純物領域27bのゲート電極26と金属配線との間がほぼ覆われるようにする。次いで、絶縁膜側壁26及びゲート電極24a及びダミーゲート電極24bをマスクに用いて半導体基板21の全面にソース/ドレイン用の高濃度n型不純物イオン（ESDイオン）を注入して、ゲート電極24a及びダミーゲート電極24

7

bの両側に第1、第2高濃度n型不純物領域27a、27bを形成する。この不純物イオンの注入は側壁26を介して行われる。第2高濃度n型不純物領域27bは、前述のように広い領域を占めるように形成する。また、ダミーゲート電極24bを第2高濃度n型不純物領域27bの電流の流れを円滑にするように最小の線幅を持って形成して、第2高濃度n型不純物領域27bが互いに連結されるようにする。

【0016】図12eに示すように、不純物領域を形成させた半導体基板21の全面にシリサイド膜を形成するための物質を蒸着し、熱処理工程を施してシリサイド膜を形成する。その際、ESD保護回路にも蒸着されるので、第1高濃度n型不純物領域27a、ゲート電極24a、及びダミーゲート電極24bの表面にもシリサイド膜28が形成される。絶縁膜側壁26では半導体基板21のシリコンSiとシリサイド物質との反応が起こらない。以後の洗浄工程で未反応のシリサイド物質が除去される。ダミーゲート電極24bの表面にシリサイドが形成されているが、基板との間にダミーゲート電極24bが存在するので、動作に影響しない。一方、ダミーゲート電極24bが形成されなかった露出された第2高濃度n型不純物領域27bの表面の一部にもシリサイド膜28が形成されるが、金属配線の外側になるので動作に支障がない。

【0017】図12fに示すように、半導体基板21の全面にBPSG或いはSOGなどを堆積して平坦化層28を形成し、フォトリソグラフィ及びエッチング工程で第1、第2高濃度不純物領域27a、27bの表面の一定の部分が露出されるように平坦化層29とシリサイド膜28を選択的に除去してコンタクトホール30を形成する。第2高濃度領域27bではゲート電極から離れた位置であるというまでもない。図12gに示すように、コンタクトホール30が形成された平坦化層28の上に金属層を蒸着した後、選択的に除去してコンタクトホール30を介して半導体基板21と連結される金属配線31を形成する。

【0018】

【発明の効果】以上説明したように、本発明によるESD保護回路は、第2高濃度領域の上にゲート電極と一緒にダミーゲート電極が形成され、その側面にも側壁が形成され、それらで第2高濃度領域が覆われているので、シリサイド物質をその上に載せて熱処理しても、その領域にシリサイドが形成されることないので、シリサイド工程でマスクを使用しなくてもよい。また、本発明方法

8

においては、第2高濃度不純物領域にシリサイドを形成させないようにするためにゲート電極及びその側壁形成と全く一緒にダミーゲート電極とその側壁を形成させているので、製造法として特に新たなステップを設ける必要がなく、簡単に製造することができる。

【図面の簡単な説明】

【図1】 従来のESD保護回路のレイアウト図。

【図2】 図1のII-II線上の従来のESD保護回路を示す構造断面図。

10 【図3】 図1のII-II線上の従来のESD保護回路の形成方法を示す工程断面図。

【図4】 図1のII-II線上の従来のESD保護回路の形成方法を示す工程断面図。

【図5】 本発明の第1実施形態のESD保護回路を示すレイアウト図。

【図6】 図5のIV-IV線上の本発明のESD保護回路を示す構造断面図。

【図7】 本発明の第2実施形態のESD保護回路を示すレイアウト図。

20 【図8】 図7のV-V線上の本発明のESD保護回路を示す構造断面図。

【図9】 本発明の第3実施形態のESD保護回路を示すレイアウト図。

【図10】 図9のVI-VI線上の本発明のESD保護回路を示す構造断面図。

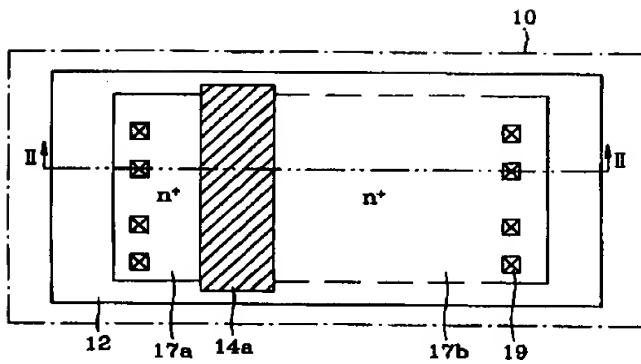
【図11】 図7のV-V線上の本発明のESD保護回路の形成方法を示す工程断面図。

【図12】 図7のV-V線上の本発明のESD保護回路の形成方法を示す工程断面図。

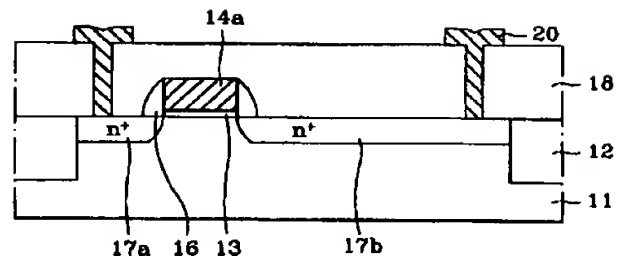
30 【符号の説明】

- 21 半導体基板
- 22 素子隔離膜
- 23 ゲート絶縁膜
- 24a ゲート電極
- 24b ダミーゲート電極
- 25 フォトレジスト
- 26 絶縁膜側壁
- 27a 第1高濃度n型不純物領域
- 27b 第2高濃度n型不純物領域
- 40 28 サリサイド膜
- 29 平坦化層
- 30 コンタクトホール
- 31 金属配線

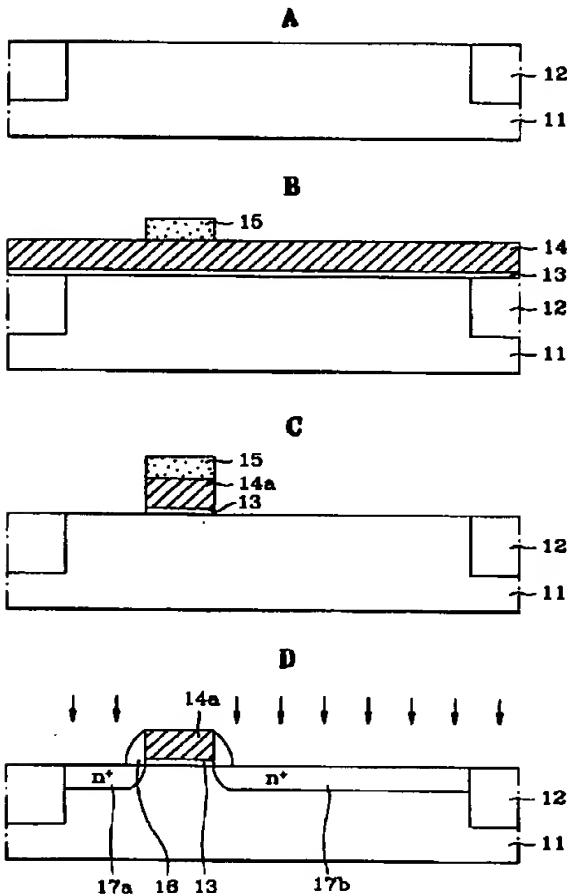
【図 1】



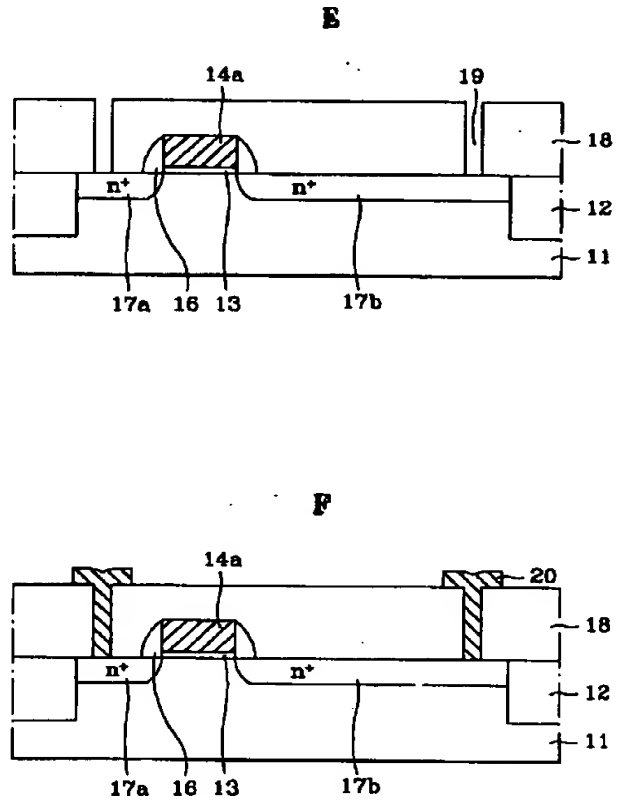
【図 2】



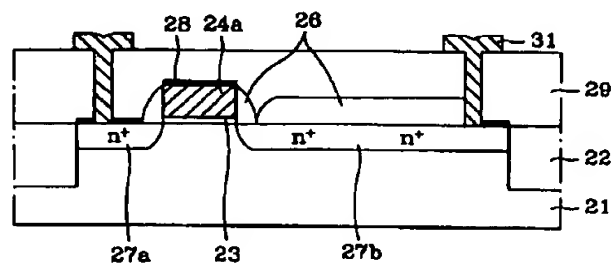
【図 3】



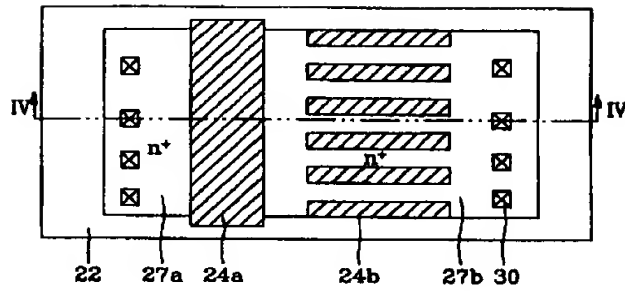
【図 4】



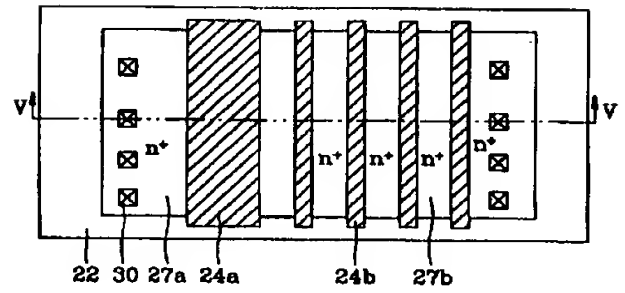
【図 6】



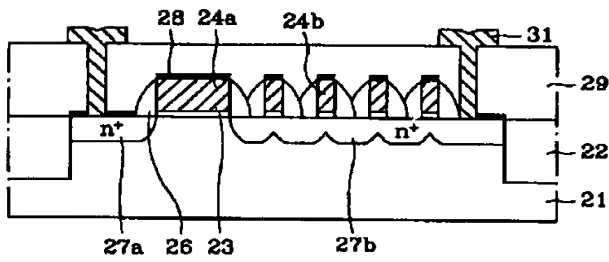
【図 5】



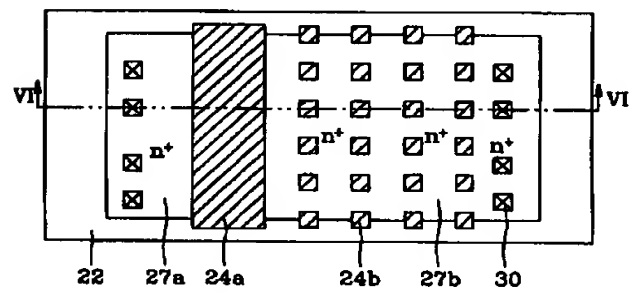
【図 7】



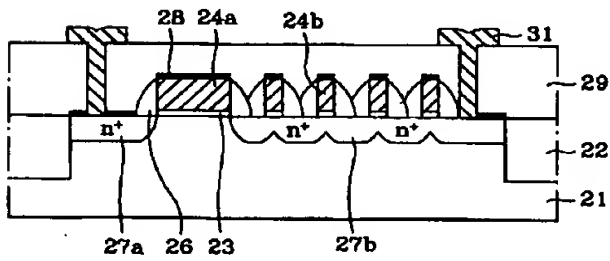
【図 8】



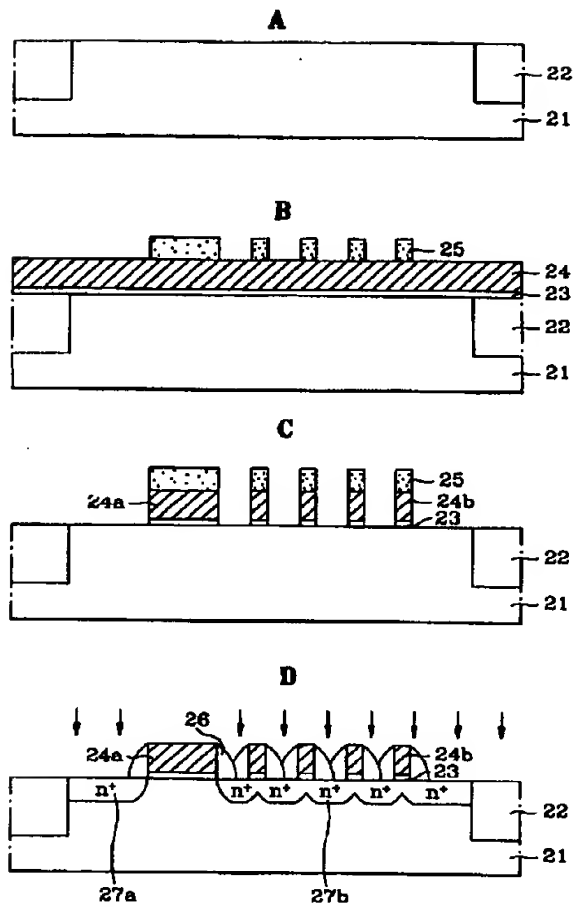
【図 9】



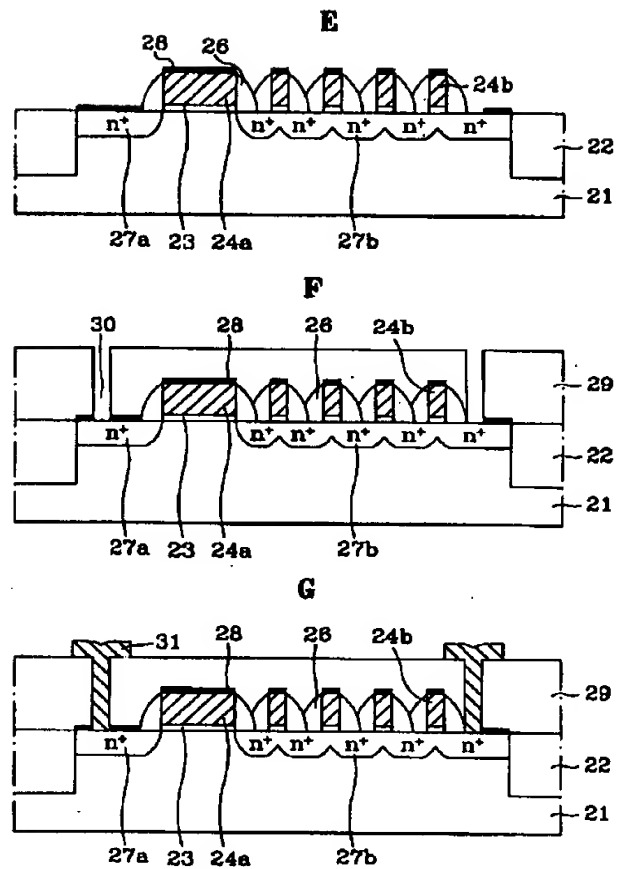
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 ゼ・ギョン・アン
大韓民国・チュンチョンブクド・チョン
ズーシ・フンドクーク・カギョンドン・
1189・ヒョンソク 1 チャ アパートメ
ント 101-601

(72)発明者 ミョン・グ・リ
大韓民国・チュンチョンブクド・チョン
ズーシ・フンドクーク・ヒャンソンドン
ン・(番地なし)・1 エルジイ バンド
チャイ キスクサ ビイ918